

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04240794 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-232494 [JP 5232494 A]

PUBLISHED: September 10, 1993 (19930910)

INVENTOR(s): MATSUMOTO SHINZO

TSUJITA YOSHIYUKI

SATO YUKIHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-034743 [JP 9234743]

FILED: February 21, 1992 (19920221)

INTL CLASS: [5] G02F-001/1345

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R119 (CHEMISTRY --
Heat Resistant Resins); R124 (CHEMISTRY -- Epoxy Resins)

JOURNAL: Section: P, Section No. 1661, Vol. 17, No. 684, Pg. 137,
December 15, 1993 (19931215)

ABSTRACT

PURPOSE: To suppress the generation of electric corrosion by covering an external connecting terminals with at least either of a protective film or base film.

CONSTITUTION: The Al pattern position of a terminal leading-out part is confined within a sealing pattern SL and the protective film PSV 1 is extended up to TCPF to cover the terminal leading-out part. Namely, the front ends on the outer side of the terminals TTM respectively correspond to the input and output of a semiconductor integrated circuit chip and are connected by soldering, etc., to a CRT/TFT conversion circuit and power source circuit and by an anisotropic conductive film ACF to a liquid crystal display panel. A package TCP is so connected to the panel that the front end thereof covers the protective film PSV 1 exposing the connecting terminals DTM on the panel side. Then, the external connecting terminal DTM (GTM) is coated with at least either of the protective film PSV 1 or the package TCP and is, therefore, strong to the electric corrosion.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-232494

(43) 公開日 平成5年(1993)9月10日

(51) Int. Cl. ⁵

G02F 1/1345

識別記号

9018-2K

F I

審査請求 未請求 請求項の数 4 (全19頁)

(21) 出願番号 特願平4-34743

(22) 出願日 平成4年(1992)2月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 松本 信三

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72) 発明者 辻田 嘉之

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72) 発明者 佐藤 幸宏

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(74) 代理人 弁理士 小川 勝男

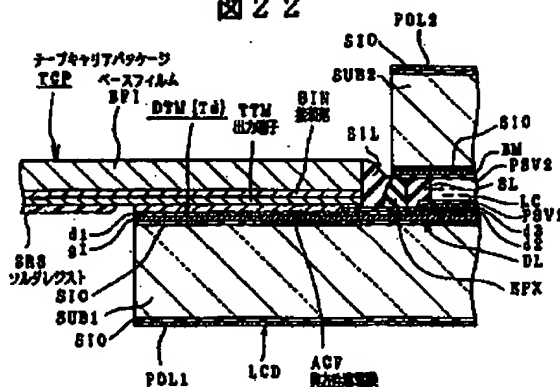
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 外部接続端子やそれにつながる引出配線の電触を防止すること。

【構成】 A1を含む外部接続端子部DTMへの引出配線の導電層d3がシール部SLの内側に留められ、また外部接続端子DTM、GTMは保護膜PSV1がフレキシブル配線基板のベースフィルムBF1の少なくとも一方で覆われる構成とする。

図 2 2



【特許請求の範囲】

【請求項1】 画素電極と該画素電極に駆動信号を伝達する薄膜トランジスタとを有する画素を複数個形成したマトリクス部を備えた第1の基板と、上記画素電極に対向する対向電極層を形成した第2の基板と、液晶層と、上記第1及び第2の基板間で上記液晶層を閉じ込めるシールパターンと、第1の導体層を含む複数の外部接続端子と、A1を含む第2の導体層を含む複数の上記トランジスタを接続する複数のマトリクス配線と、上記外部接続端子と上記マトリクス配線の各々を接続し上記シールパターンの跨って形成された複数の引出配線とを具備して成り、上記引出配線は上記マトリクス配線との電気的接触部から上記外部接続端子に至るまで上記第1の導体層を有し、上記接触部から上記外部接続端子に向けて上記シールパターンの外側に越えない範囲で上記第2の導体層を更に有し、上記範囲では上記第2の導体層は間に絶縁層を介在させること無く上記第1の導体層に電気的に接触していることを特徴とする液晶表示装置。

【請求項2】 上記第1の導体層は透明体であり、上記範囲において上記第2の導体層は上記第1の導体層にCrを含む他の導体層を介して電気的に接触していることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 上記マトリクス配線の各々は複数の上記トランジスタのソース・ドレインを電気的に接続して成ることを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】 画素電極と該画素電極に駆動信号を伝達する薄膜トランジスタとを有する画素を複数個形成したマトリクス部を備えた第1の基板と、上記画素電極に対向する対向電極層を形成した第2の基板と、液晶層と、上記第1及び第2の基板間で上記液晶層を閉じ込めるシールパターンと、該シールパターンの外側に形成された複数の外部接続端子と、上記トランジスタを覆う保護絶縁層と、上記外部接続端子に電気的に接続される複数の出力端子を有し、該出力端子に駆動信号を供給する集積回路を搭載したフレキシブル配線基板とを具備して成り、上記保護層と同じレベルの層が上記シールパターンの跨り、上記外部接続端子の一部を覆いかつ他部を露出するように形成され、上記配線基板の端部は上記シールパターンの外側で上記同じレベルの層に重ねられていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置、特に薄膜トランジスタを使用したアクティブマトリクス液晶表示デバイスに関する。

【0002】

【従来の技術】 薄膜トランジスタを使用したアクティブマトリクス液晶表示デバイスは例えば特開昭63-309921号公報で知られている。

【0003】 アクティブマトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して非線形素子(スイッチング素子)を設けたものである。液晶は上下の基板の隙間に封入・封止され、一体化したセルとなる。モジュール組立て工程では、異方性導電膜ACFを使用し、セル側端子とテープキャリアパッケージTCP側端子を接続する。従来は、一体化したセルに組み立てた後での超音波洗浄やモジュール組立て工程でのTCP圧着前の端子洗浄作業時にA1パターン上の保護膜(PSV1)が剥がれる問題が生じた。この保護膜剥がれは、高温高湿テスト後の端子間電蝕の原因となることがわかった。また、保護膜とTABの間に導体パターンが露出した部分があると、エポキシ樹脂EPXやシリコン樹脂SILを塗布しても信頼性上十分でなく、端子間電蝕の原因となることがわかった。このため、端子引き出し部のA1パターン位置及び保護膜位置について規定する必要が生じた。

【0004】 また、信号線側は、絶えずビデオ信号あるいはデジタル信号が入力され、デューティが高いため、より良好な信頼性設計が必要になる。高温高湿テスト結果でも、信号線側が先に電蝕を生じ、走査線側は異常無い場合が多かった。このため、本発明はとりわけ信号線側で有効である。

【0005】

【発明が解決しようとする課題】 本発明の一つの目的は信頼性の高い液晶表示デバイスを提供することにある。

【0006】 本発明の他の目的は、高精細化に伴い端子ピッチが小さくなるため、更に顕著となる高温高湿テスト後の端子間電蝕の不良を防止することができる液晶表示デバイスを提供することである。

【0007】

【課題を解決するための手段】 本発明の一実施例によれば、映像信号線に斜め配線を介して端子が接続された液晶表示素子において、端子引き出し部のA1パターン位置はシールパターンSL内におさめ、保護膜PSV1はTCP下まで伸ばし端子引き出し部を被覆した液晶表示デバイスが提供される。

【0008】

【作用】 このような液晶表示デバイスによれば、液晶組立て工程やモジュール工程でのメカニカルストレスを受けても、密着力の弱いA1材と保護膜がシール内に有る為剥がれが防止でき、また、引き出し配線が全て保護膜で覆われる為露出した導体パターンが無く、直接外気に接触しにくくなり、高温高湿テスト信頼性が良好である。

【0009】

【実施例】 本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0010】 (アクティブ・マトリクス液晶表示装置)

以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0011】(マトリクス部の概要) 図1はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図2は図1の2-2切断線における断面を示す図、図3は図1の3-3切断線における断面図である。また、図4には図1に示す画素を複数配置したときの平面図を示す。

【0012】図1に示すように、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0013】図2に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。下部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、その上にデポジットされる走査信号線GL、遮光膜BM等の膜質を均質に保つことができる。

【0014】上部透明ガラス基板SUB2の内側(液晶LC側)の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

【0015】(マトリクス周辺の概要) 図16は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を、図17はその周辺部を更に誇張した平面を、図18は図16及び図17のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図19は図2の断面を中央にして、左側に図18の19a-19a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図20は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0016】このパネルの製造では、小さいサイズであ

ればスルーブット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図16~図18は後者の例を示すもので、図16、図17の両図とも上下基板SUB1、SUB2の切断後を、図18は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td(添字略)が存在する(図で上下辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP(図20、図21)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0017】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0018】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0019】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキ

シ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0020】(薄膜トランジスタTFT) 薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0021】各画素の薄膜トランジスタTFTは、画素内において2つ(複数)に分割され、薄膜トランジスタ

(分割薄膜トランジスタ) TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、ゲート電極GT、ゲート絶縁膜GI、I型(真性、Intrinsic、導電型決定不純物がドーブされていない)非晶質シリコン(SI)からなるI型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0022】(ゲート電極GT) ゲート電極GTは図5(図1の第2導電膜g2およびI型半導体層ASのみを描いた平面図)に示すように、走査信号線GLから垂直方向(図1および図5において上方向)に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム(A1)膜を用い、1000~5500Å程度の膜厚で形成する。また、ゲート電極GT上にはA1の陽極酸化膜AOFが設けられている。

【0023】このゲート電極GTは図1、図2および図5に示されているように、I型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトBLを取り付けた場合、この不透明なA1からなるゲート電極GTが影となって、I型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も

含めて)幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャネル長)Lとの比、すなわち相互コンダクタンス gm を決定するファクタ W/L をいくつにするかによって決められる。この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0024】(走査信号線GL) 走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0025】(絶縁膜GI) 絶縁膜GIは薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化シリコン膜を用い、1200~2700Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。ゲート絶縁膜GIは図18に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。

【0026】(I型半導体層AS) I型半導体層ASは、図5に示すように、複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。I型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、200~2200Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。

【0027】このI型半導体層ASは、供給ガスの成分を変えてSi、N₂からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のリン(P)を2.5%ドーブしたN(+)型半導体層d0(図2)も同様に連続して200~500Åの膜厚(この液晶表示装置では、300Å程度の膜厚)で形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)型半導体層d0およびI型半導体層ASは図1、図2および図5に示すように独立した島状にパターニングされる。

【0028】I型半導体層ASは、図1および図5に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のI型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0029】(透明画素電極ITO1) 透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0030】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。なお、2つの薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することは稀であり、このような冗長方式により点欠陥や線欠陥の確率を極めて小さくすることができる。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの膜厚(この液晶表示装置では、1400Å程度の膜厚)で形成される。

【0031】(ソース電極SD1、ドレイン電極SD2)複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図1、図2および図6(図1の第1~第3導電膜d1~d3のみを描いた平面図)に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

【0032】ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

【0033】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの膜厚(この液晶表示装置では、600Å程度の膜厚)で形成する。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接触が良好である。Cr膜は後述する第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₃、TiSi₃、TaSi₃、WSi₃)膜を用いてもよい。

【0034】第3導電膜d3はAlのスパッタリングで3000~5000Åの膜厚(この液晶表示装置では、4000Å程度の膜厚)に形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第3導電膜d3として純Al膜の他にシリコンや銅(Cu)を添加物として含有させたAl膜を用いてもよい。

【0035】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0036】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、i型半導体層AS段差(第2導電膜g2の膜厚、陽極酸化膜AOFの膜厚、i型半導体層ASの膜厚およびN(+)型半導体層d0の膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差に沿って形成された第2導電膜d2と、この第2導電膜d2の上部に形成した第3導電膜d3とで構成されている。ソース電極SD1の第3導電膜d3は第2導電膜d2のCr膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第3導電膜d3は厚く形成することでステップカバレージを向上している。第3導電膜d3は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。

【0037】(保護膜PSV1)薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0038】保護膜PSV1は図18に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図18に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0039】(遮光膜BM)上部透明ガラス基板SUB2側には、外部光(図2では上方からの光)がチャネル

形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは図7のハッチングに示すようなパターンとされている。なお、図7は図1におけるITO膜からなる第1導電膜d1、カラーフィルタFILおよび遮光膜BMのみを描いた平面図である。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300Å程度の膜厚に形成される。

【0040】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらない。遮光膜BMは図7のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され(ブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0041】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分(図1右下部分)が遮光膜BMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0042】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもできる。

【0043】遮光膜BMは周辺部にも図17に示すように傾斜状のパターンに形成され、そのパターンはドット状に複数の開口を設けた図7に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図17~図20に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0044】(カラーフィルタFIL) カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成され

(図8)、染め分けられている(図8は図4の第1導電膜d1、遮光膜BMおよびカラーフィルタFILのみを描いたもので、B、R、Gの各カラーフィルタFILはそれぞれ、45°、135°、クロスのハッチを施してある)。カラーフィルタFILは図7、9に示すように透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素

電極ITO1の周縁部より内側に形成されている。

【0045】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0046】(保護膜PSV2) 保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0047】(共通透明画素電極ITO2) 共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)に依存して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図17、図18を参照されたい。

【0048】(ゲート端子部) 図9は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図18下方付近に対応し、斜め配線の部分は便宜上一直線状で表した。

【0049】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0050】図中AL層g2は、判り易くするためハッ

チを施してあるが、陽極化成されない領域は櫛状にパターンニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0051】ゲート端子GTMは酸化珪素SIO層と接着性が良くA1等よりも耐電蝕性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0052】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図18に示すように上下に複数本並べられ端子群Tg（図17、図18）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜OR11のラビング時等の静電破壊防止に役立つ。

【0053】（ドレイン端子DTM）図10は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、（A）はその平面を示し、（B）は（A）のB-B切断線における断面を示す。なお、同図は図18右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0054】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図18に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレ

イン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0055】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0056】マトリクス部からドレイン端子部DTMまでの引出配線は図19の（C）部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電蝕し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0057】（保持容量素子Caddの構造）透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図1、図3からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0058】保持容量素子Caddは、図5からも明らかなように、走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0059】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0060】（表示装置全体等価回路）表示マトリクス部の等価回路とその周辺回路の結線図を図11に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0061】図中、Xは映像信号線DLを意味し、添字

G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0062】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0063】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0064】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0065】（保持容量素子Caddの等価回路とその動作）図1に示される画素の等価回路を図12に示す。図12において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIおよび陽極酸化膜AOFである。Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0066】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次式のようになる。

【0067】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、 ΔVlc は ΔVg による中点電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0068】前述したように、ゲート電極GTはI型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0069】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4～8倍（4・C

$pix < Cadd < 8 \cdot Cpix$ ）、寄生容量Cgsに対して8～32倍（ $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ ）程度の値に設定する。

【0070】（保持容量素子Cadd電極線の結線方法）保持容量電極線としてのみ使用される初段の走査信号線GL（Y₀）は、図11に示すように、共通透明画素電極ITO2（Vcom）と同じ電位にする。図18の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Y₀は最終段の走査信号線Yendに接続、Vcom以外の直流電位点（交流接地地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY₀を受けると接続してもよい。

【0071】（外部回路との接続構造）図21は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板（通称TAB、Tape Automated Bonding）に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図22はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0072】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウトリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM（GTM）は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0073】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコーン樹脂SILが充填され保護が多重化されている。

【0074】（製造方法）つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図13～図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図2に示す画素部分、右側は図9に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に

対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0075】工程A、図13

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0076】工程B、図13

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0077】工程C、図13

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。次に所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される

工程D、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000ÅのI型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0078】工程E、図14

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、I型非晶質Si

膜を選択的にエッチングすることにより、I型半導体層ASの島を形成する。

【0079】工程F、図14

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0080】工程G、図15

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0081】工程H、図15

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0082】工程I、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0083】（変形例）前述の実施例では、保護膜PSV1はマトリクスARの全体に亘って形成されているが、マトリクス内では保護膜PSV1はトランジスタ部のみ覆うようドット状にしたり、電圧の利用率を高めるため画素電極ITO1部のみ除去した、丁度遮光膜BMに似た格子状のパターンに形成しても良い。

【0084】

【発明の効果】上記本発明の実施例によれば、Alを含む外部接続端子部DTMへの引出配線の導電層d3がシール部SLの内側に留められているので、また外部接続端子DTM、GTMは保護膜PSV1がベースフィルムBF1の少なくとも一方で覆われているため電離が起きにくい。

【図面の簡単な説明】

【図1】この発明を適用したアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一面素とその周辺を示す要部平面図である。

【図2】図1の2-2切断線における1画素とその周辺を示す断面図である。

【図3】図1の3-3切断線における付加容量Caddの

断面図である。

【図4】図1に示す画素を複数配置した液晶表示部の要部平面図である。

【図5】図1に示す画素の層g 2, ASのみを描いた平面図である。

【図6】図1に示す画素の層d 1, d 2, d 3のみを描いた平面図である。

【図7】図1に示す画素の画素電極層、遮光膜およびカラーフィルタ層のみを描いた平面図である。

【図8】図6に示す画素配列の画素電極層、遮光膜およびカラーフィルタ層のみを描いた要部平面図である。

【図9】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図10】ドレイン端子DTMと映像信号線DLとの接続部近辺を示す平面と断面の図である。

【図11】アクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図12】図1に示す画素の等価回路図である。

【図13】基板SUB 1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB 1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB 1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】表示パネルのマトリクス周辺部の構成を説明

するための平面図である。

【図17】図16の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図18】上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

【図19】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図20】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図21】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図22】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…I型半導体層

SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜

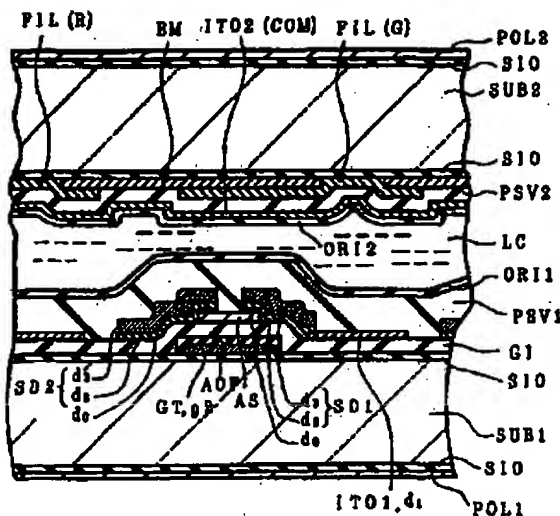
LC…液晶、TFT…薄膜トランジスタ、ITO…透明画素電極

g, d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

AO…陽極酸化マスク、GTM…ゲート端子、DTM…ドレイン端子

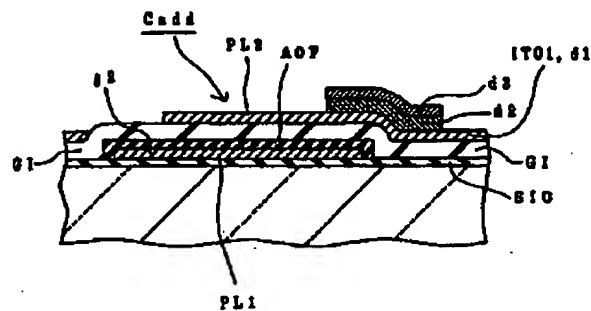
【図2】

図2



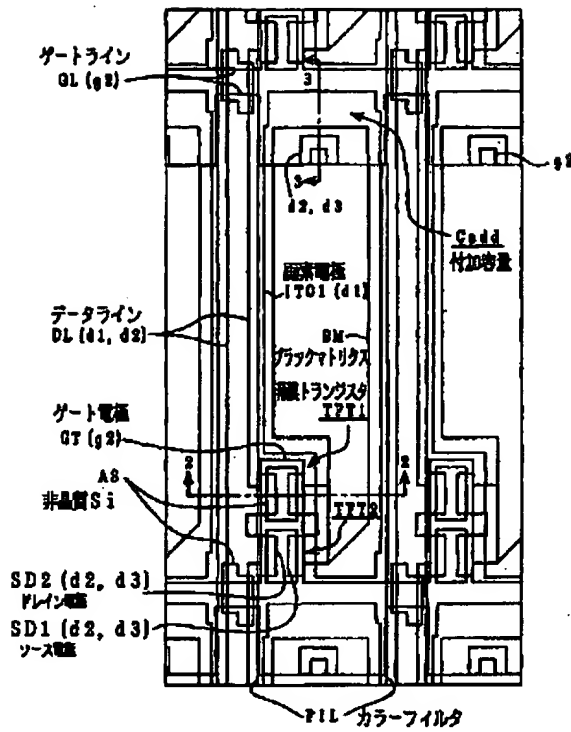
【図3】

図3



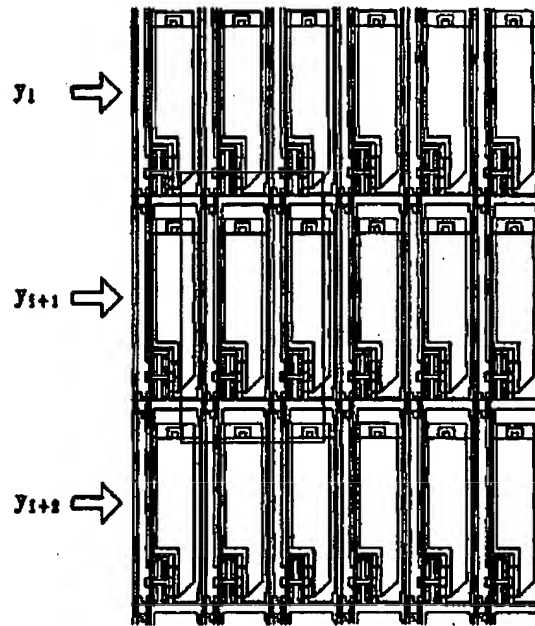
【図1】

図1



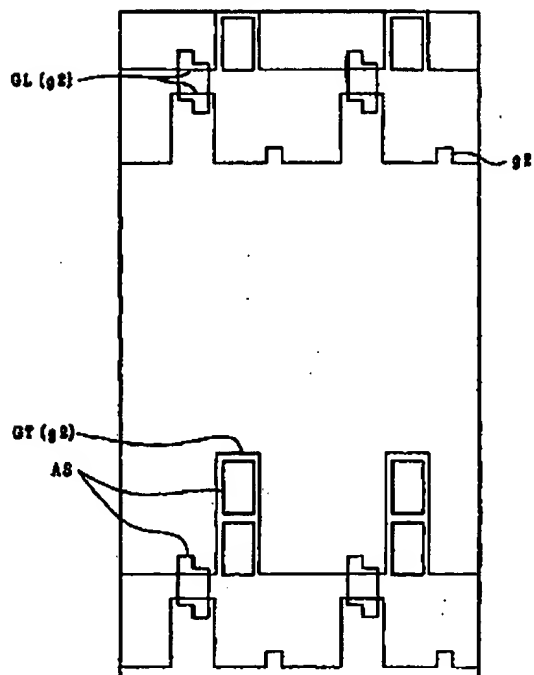
【図4】

図4



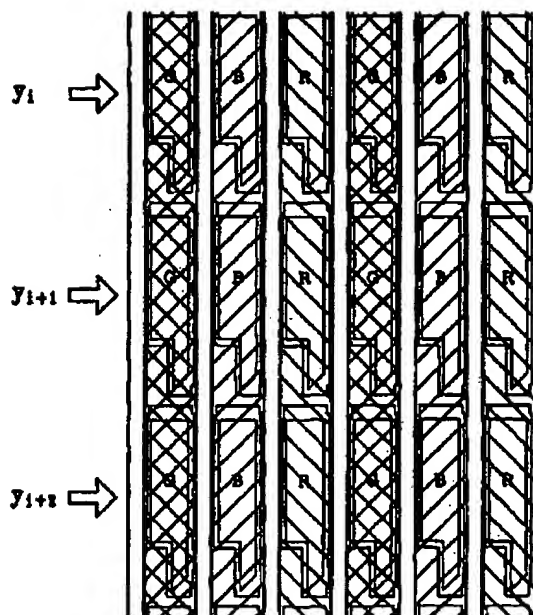
【図5】

図5



【図8】

図8

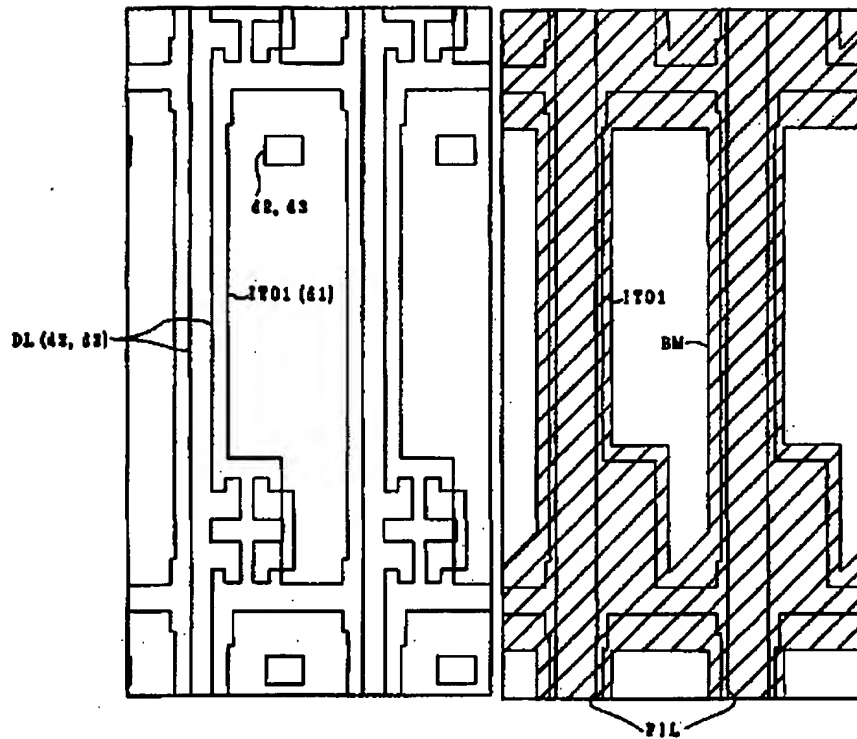


【図6】

【図7】

図6

図7

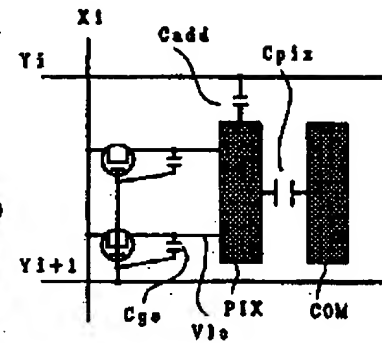
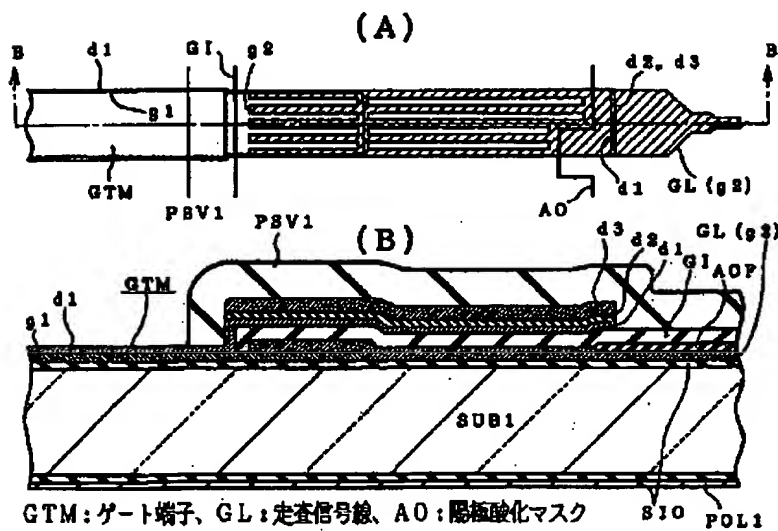


【図9】

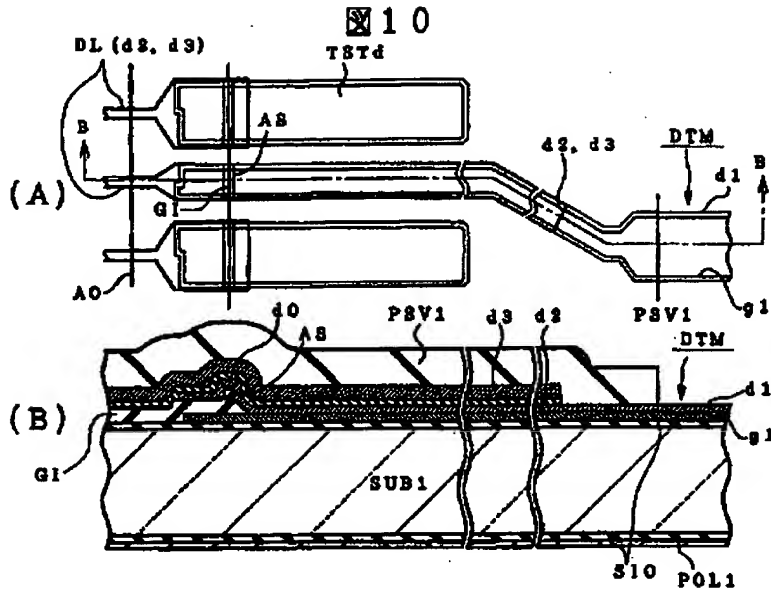
【図12】

図9

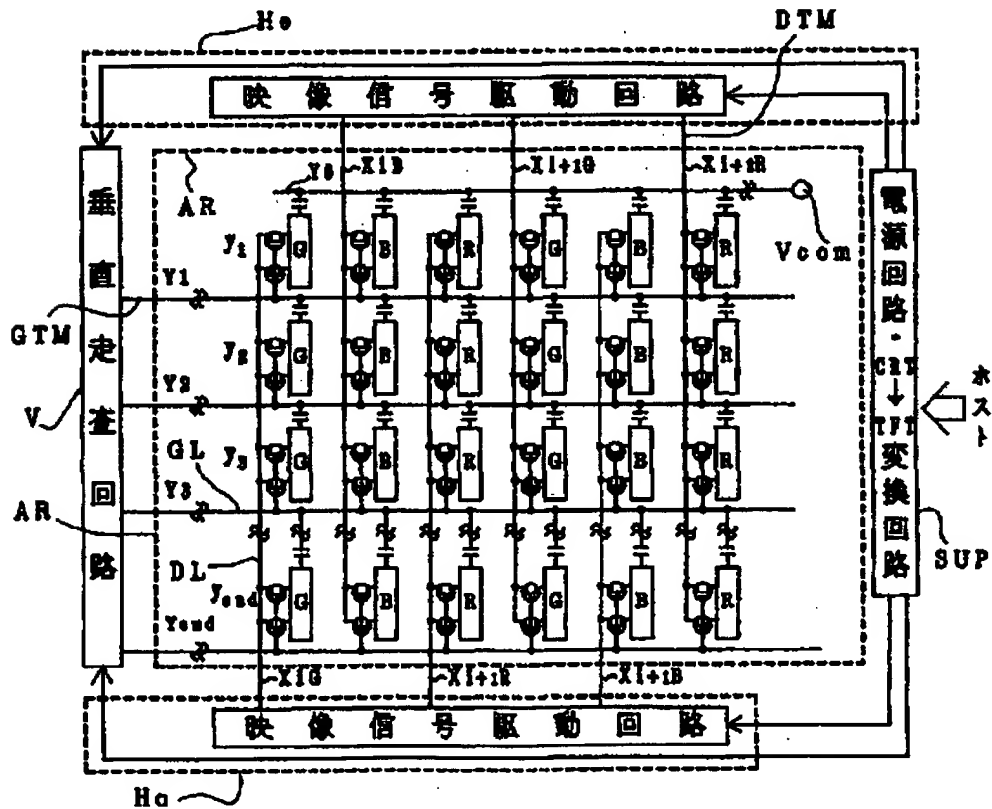
図12



【図10】

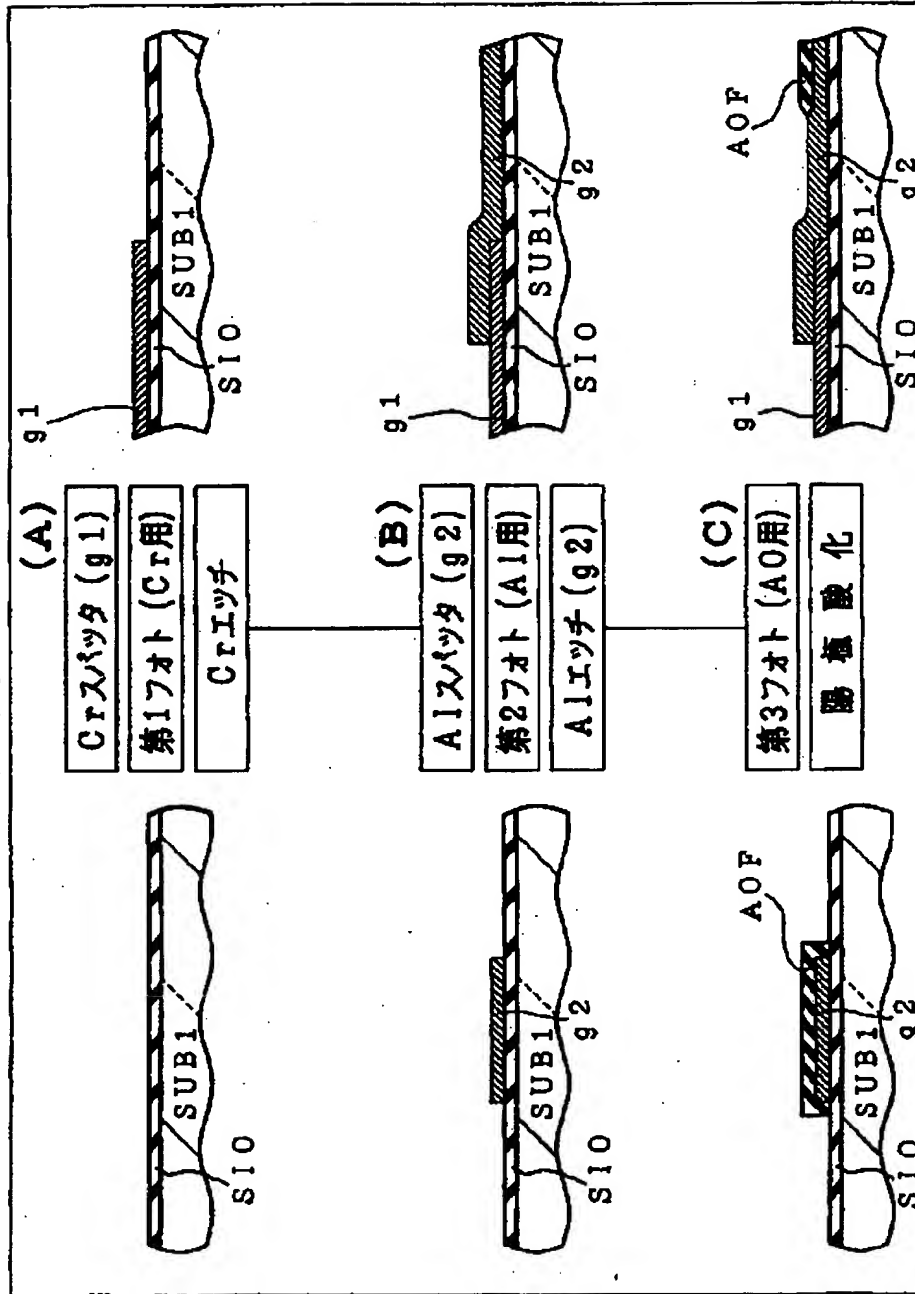


【図11】

図 11

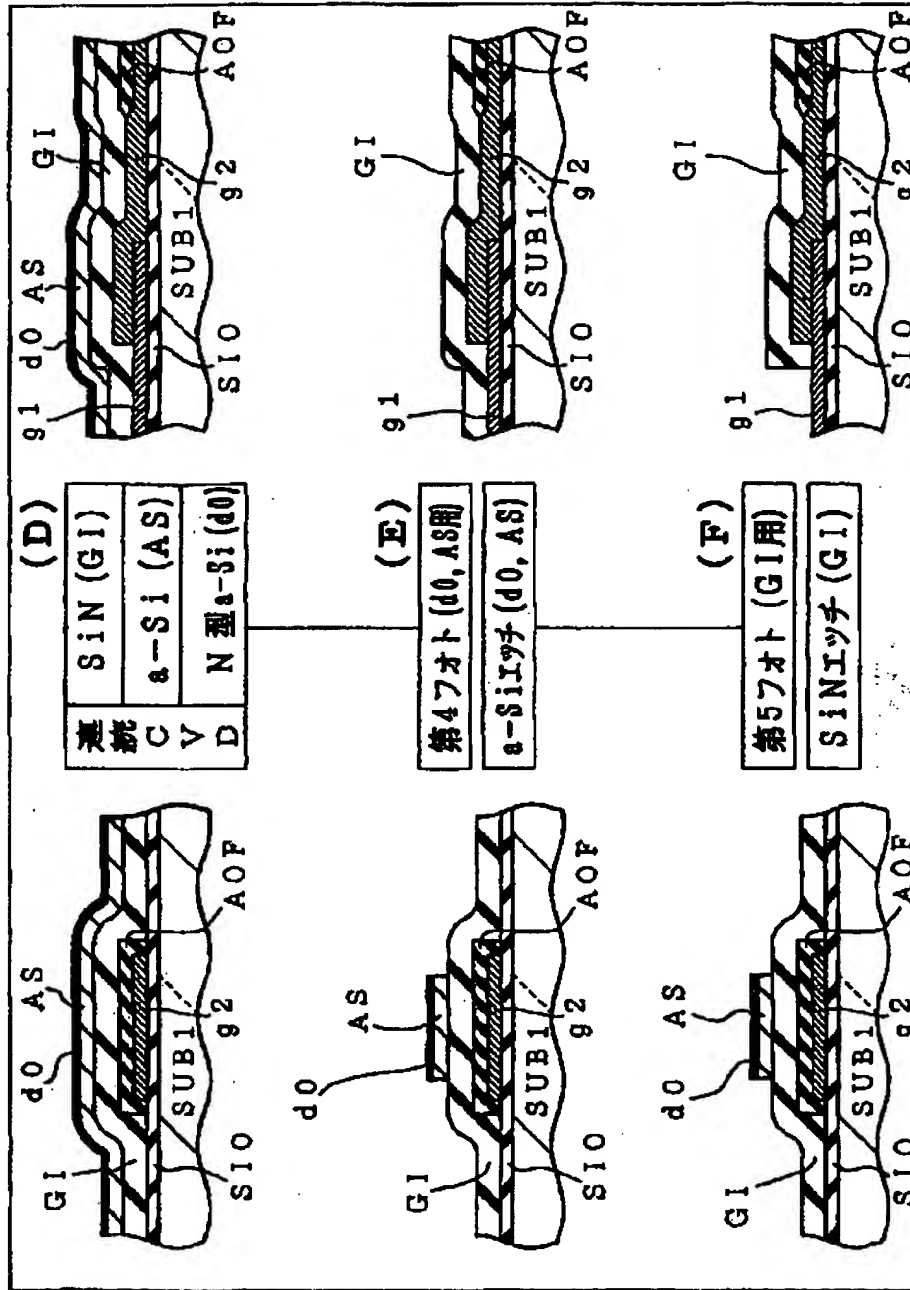
【図13】

図13



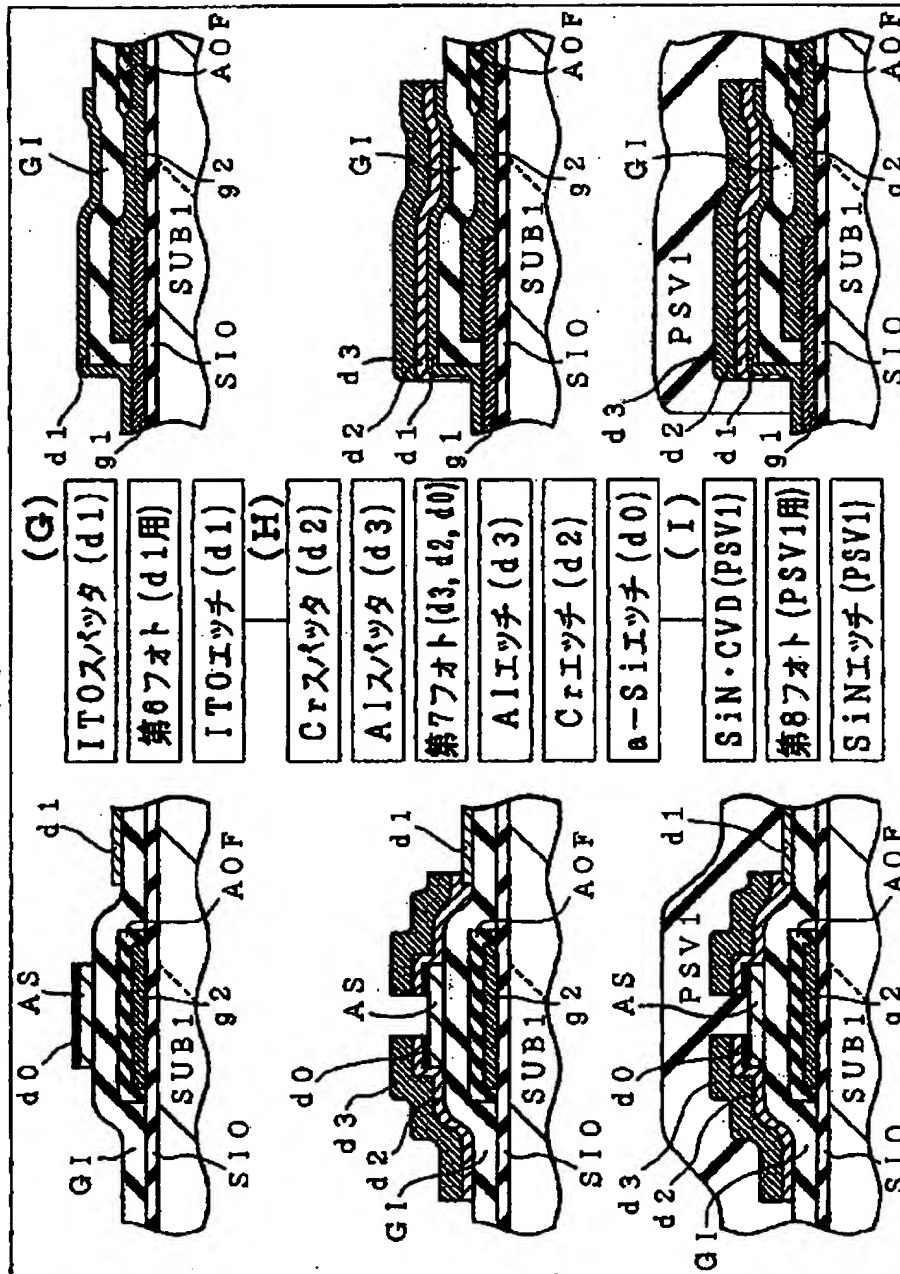
【図14】

図14

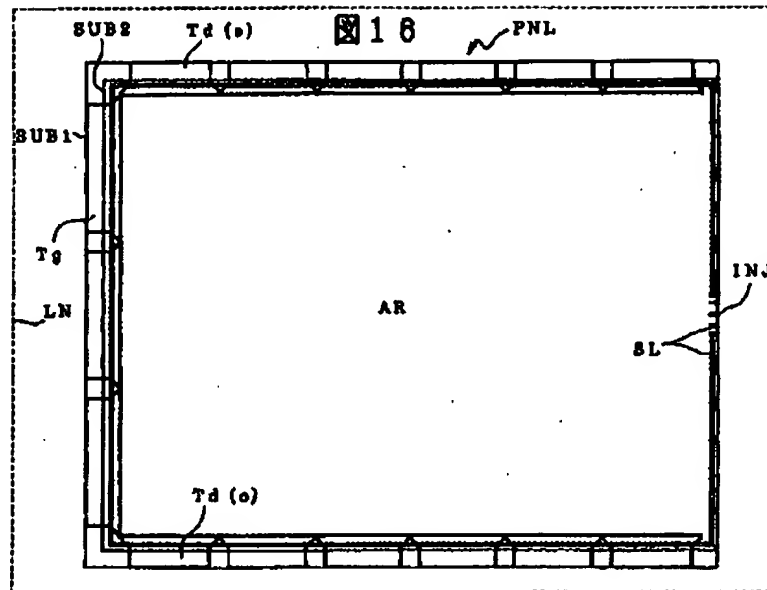


[図15]

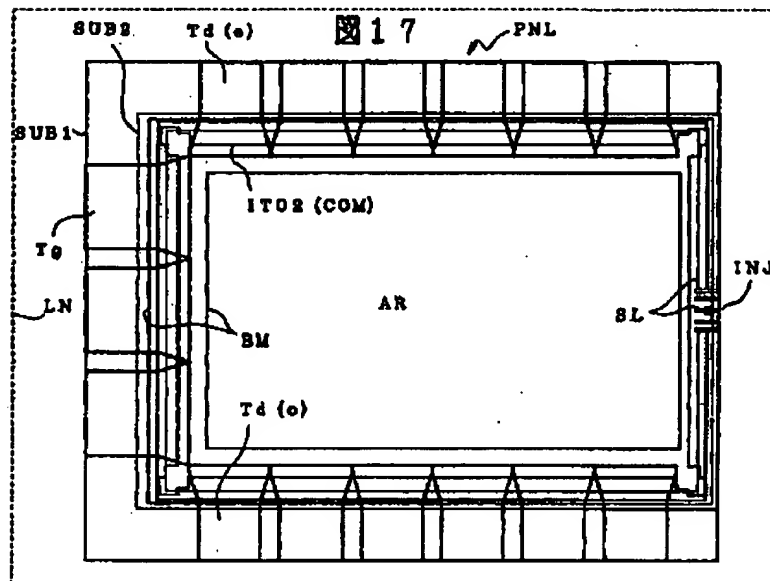
図 15



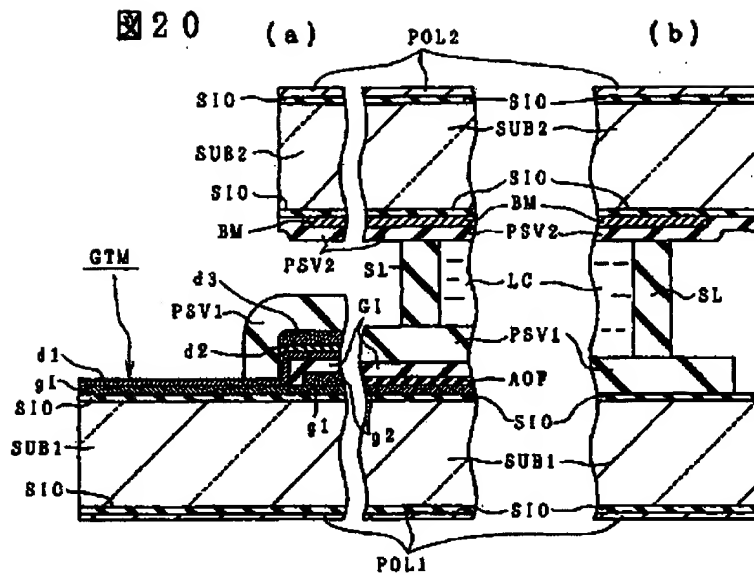
【図16】



【図17】



【図20】



【図22】

